

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-015600
(43)Date of publication of application : 17.01.2003

(51)Int.Cl.

G09G 3/28
G09G 3/20

(21)Application number : 2002-173361

(71)Applicant : SAMSUNG ELECTRONICS CO LTD

(22)Date of filing : 13.06.2002

(72)Inventor : ROH CHUNG-WOOK

PARK JUNG-PIL

LIM JAE-HYUK

(30)Priority

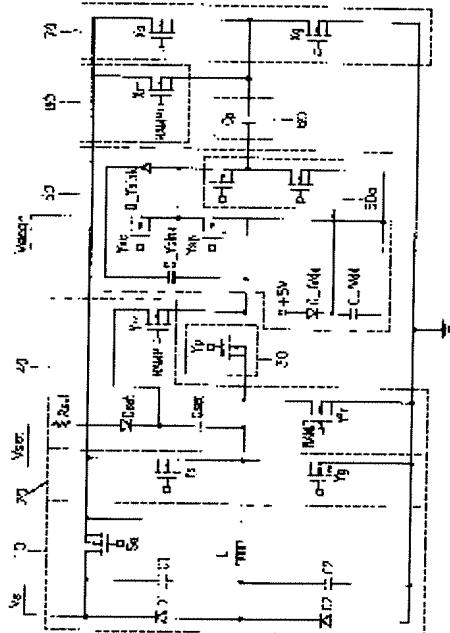
Priority number : 2001 200135761 Priority date : 22.06.2001 Priority country : KR

(54) DEVICE AND METHOD FOR DRIVING PLASMA DISPLAY PANEL WITH IMPROVED ELECTRIC POWER RECOVERY RATE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a plasma display panel drive device and method, and especially to provide a plasma display panel drive device and method for simplifying a sustain circuit contributing to light emission and power consumption of a plasma display panel, and for improving electric power recovery rate.

SOLUTION: In this drive device, the circuit configuration and switching sequences of the sustenance circuit of a PDP (plasma display panel) drive circuit are designed in order to minimize a transitional period when the inductance current of a electric power recovery circuit is increased at charging and discharging of a PDP. As a result, not only the effect of the recovery rate of reactive power is improved and the effect of EMI(electromagnetic interference) is reduced by making switching loss to be zero, but also the effect of the number of circuit elements is reduced, as compared with that in the conventional PDP drive circuit are obtained in this drive circuit.



LEGAL STATUS

[Date of request for examination] 13.06.2002

[Date of sending the examiner's decision of rejection] 17.07.2007

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-15600

(P2003-15600A)

(43)公開日 平成15年1月17日(2003.1.17)

| | | | |
|---------------------------|-------|-------------|--------------------------|
| (51) Int.Cl. ⁷ | 識別記号 | F I | テ-マコ-ト [*] (参考) |
| G 09 G 3/28 | | C 09 G 3/20 | 6 1 1 A 5 C 0 8 0 |
| 3/20 | 6 1 1 | | 6 1 1 C |
| | 6 2 1 | | 6 2 1 C |
| | 6 2 4 | 3/28 | 6 2 4 L |
| | | | J |

審査請求 有 請求項の数17 O.L (全 10 頁)

| | |
|-------------|-----------------------------|
| (21)出願番号 | 特願2002-173361(P2002-173361) |
| (22)出願日 | 平成14年6月13日(2002.6.13) |
| (31)優先権主張番号 | 2001-035761 |
| (32)優先日 | 平成13年6月22日(2001.6.22) |
| (33)優先権主張国 | 韓国(KR) |

| | |
|---------|--|
| (71)出願人 | 390019839 三星電子株式会社 大韓民国京畿道水原市八達区梅灘洞416 |
| (72)発明者 | 盧政▲うつ▼ 大韓民国京畿道龍仁市水枝邑豐德川里664 |
| (72)発明者 | 番地 三益アパート102棟509号 |
| (72)発明者 | 朴正泌 大韓民国忠清南道天安市双龍洞379-33番 |
| (72)発明者 | 地 梨花アパート8棟101号 |
| (74)代理人 | 100070150 弁理士 伊東忠彦(外2名) |

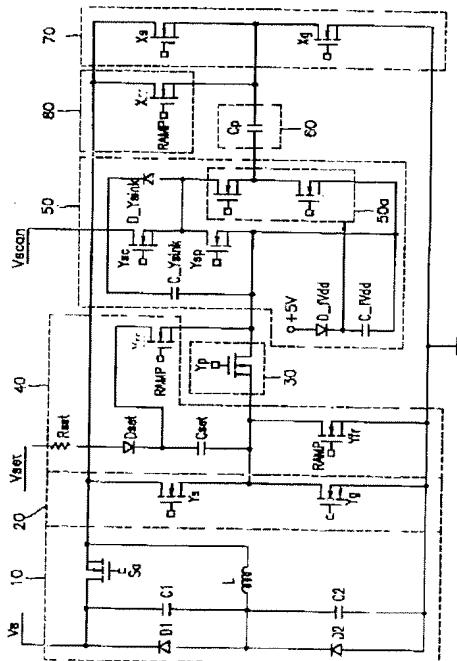
最終頁に続く

(54)【発明の名称】 電力回収率を改善したプラズマディスプレイパネル駆動装置及び方法

(57)【要約】

【課題】 プラズマディスプレイパネル駆動装置及び方法、特にプラズマディスプレイパネル発光及び消費電力に寄与するサステイン回路を簡略化させ、電力回収率を向上させるためのプラズマディスプレイパネル駆動装置及び方法を提供する。

【解決手段】 PDP充放電時に電力回收回路のインダクタ電流を増加させる過渡期を最小化すべく回路構成及びスイッチングシーケンスを設計する。よって、無効電力の回収率を向上させられる効果が生じ、スイッチング損失が0になるようにしてEMIを減らせる効果が生じ、それのみでなく従来のPDP駆動回路に比べて回路素子数を減らせる効果が生じる。



【特許請求の範囲】

【請求項1】 電力回收回路及び複数のスイッチング手段を含むプラズマディスプレイパネル駆動装置において、前記電力回收回路は、前記プラズマディスプレイパネルの発光期間に電圧源を印加するためのスイッチと、前記電圧源と接地間に直列に連結されたキャパシタと、前記キャパシタ間の接点と前記スイッチ出力端子に接続されたインダクタとを含み、前記プラズマディスプレイパネル充放電遷移時点に前記プラズマディスプレイパネルに前記インダクタの最大瞬時電流が流れるべく前記スイッチ及び複数のスイッチング手段のオン／オフを制御するスイッチングシーケンスを設定することを特徴とする電力回收回率を改善したプラズマディスプレイパネル駆動装置。

【請求項2】 前記スイッチ及び複数のスイッチング手段は、ゼロ電圧スイッチングするべくスイッチングシーケンスを設計することを特徴とする請求項1に記載の電力回收回率を改善したプラズマディスプレイパネル駆動装置。

【請求項3】 前記キャパシタにそれぞれ並列にダイオードを接続する回路構成をさらに含むことを特徴とする請求項1に記載の電力回收回率を改善したプラズマディスプレイパネル駆動装置。

【請求項4】 サステイン区間において前記キャパシタの接点と接地間にかかる電圧は前記電圧源電圧とほとんど同じようにサステイン発光モードに比べてサステイン接地モードのインターバル時間を短くすべくスイッチングシーケンスを設計することを特徴とする請求項1に記載の電力回收回率を改善したプラズマディスプレイパネル駆動装置。

【請求項5】 スイッチングシーケンスはリセット区間、アドレス区間及びサステイン区間を反復的に実行し、前記サステイン区間は、Y電極パネル充電モード、Y電極パネル発光モード、Y電極パネル放電モード、ゼロ電圧保持モード、X電極パネル充電モード、X電極パネル発光モード、X電極パネル放電モード、ゼロ電圧保持モードをサブフィールドの数に応じて反復的に実行し、前記サステイン区間のゼロ電圧モード保持モードとリセット区間との過渡期は前記ゼロ電圧保持モードタイムインターバルの1/2より短く設計することを特徴とする請求項1に記載の電力回收回率を改善したプラズマディスプレイパネル駆動装置。

【請求項6】 前記サステイン区間のゼロ電圧モード保持モードとリセット区間との過渡期の前記インダクタに流れる電流は、

【数1】

$$I_L(t) = V_{Cl} \sqrt{\frac{C_1}{L}} \times \sin \frac{t}{\sqrt{LC_1}}$$

になり、前記電流がサステイン区間のインダクタ最大瞬時電流値より小さいか同じになるようキャパシタ値を決定することを特徴とする請求項5に記載の電力回收回率を改善したプラズマディスプレイパネル駆動装置。

【請求項7】 前記サステイン区間のゼロ電圧モード保持モードにおいてインダクタ電流が0から最大瞬時インダクタ電流に増加する期間は、

【数2】

$$T = \sqrt{LC_2} \sin^{-1} \left(\frac{C_P}{C_2} \times \sqrt{\frac{L}{C_2}} \right)$$

(ここで、C_Pはプラズマディスプレイパネルの容量性負荷値である)に設定することを特徴とする請求項5に記載の電力回收回率を改善したプラズマディスプレイパネル駆動装置。

【請求項8】 インダクタを備える電力回收回路を含み、リセット区間、アドレス区間及びサステイン区間を反復するスイッチングシーケンスを有するプラズマディスプレイパネルの駆動方法において、

前記サステイン区間においてパネル充放電遷移時点に前記プラズマディスプレイパネルに前記インダクタの最大瞬時電流が流れるべくスイッチングシーケンスを制御することを特徴とする電力回收回率を改善したプラズマディスプレイパネル駆動方法。

【請求項9】 前記プラズマディスプレイパネル駆動回路のスイッチはサステイン区間にゼロ電圧スイッチングするべく、スイッチングタイミングを制御することを特徴とする請求項8に記載の電力回收回率を改善したプラズマディスプレイパネル駆動方法。

【請求項10】 リセット区間、アドレス区間及びサステイン区間を反復するスイッチングシーケンスによるプラズマディスプレイパネル駆動装置において、

サステイン区間に前記プラズマディスプレイパネルのY電極に高周波の方形波電圧を印加するためのY電極サステインスイッチング回路と、

サステイン区間とアドレス区間及びリセット区間の回路動作を分離させるための分離回路と、

リセット区間に前記プラズマディスプレイパネルのY電極にランプ型高圧電圧を印加するためのY電極ランプ波形発生回路と、

アドレス区間水平同期信号を印加し、その他の区間ではショートするスキャンパルス発生回路と、

サステイン区間に前記プラズマディスプレイパネルのX電極に高周波の方形波電圧を印加するためのX電極サステインスイッチング回路と、

リセット区間に前記プラズマディスプレイパネルのX電極にランプ型高圧電圧を印加するためのX電極ランプ波形発生回路と、

サステイン区間に前記プラズマディスプレイパネルの充放電時に電力を回収するためのインダクタより構成された電力回收回路を含み、サステイン区間においてパネル

充放電遷移時点に前記プラズマディスプレイパネルに前記電力回収回路を構成するインダクタの最大瞬時電流が流れるべくスイッチングシーケンスを制御することを特徴とする電力回収率を改善したプラズマディスプレイパネル駆動装置。

【請求項11】 前記Y電極サステインスイッチング回路、前記分離回路、前記Y電極ランプ波形発生回路及び前記スキャンパルス発生回路はスキャン電極ドライブボードに設計し、前記X電極サステインスイッチング回路、X電極ランプ波形発生回路及び前記電力回収回路は共通電極ドライブボードに設計し、前記プラズマディスプレイパネルのY電極端子及びX電極端子にそれぞれ連結される構造を有することを特徴とする請求項10に記載の電力回収率を改善したプラズマディスプレイパネル駆動装置。

【請求項12】 前記電力回収回路は、前記プラズマディスプレイパネルの発光期間に電圧源を印加するためのスイッチと、

前記電圧源と接地間に直列に接続されたキャパシタC₁、C₂と、前記キャパシタ間の接点と前記スイッチ出力端子に接続されたインダクタとを含み、前記プラズマディスプレイパネル充放電遷移時点に前記プラズマディスプレイパネルに前記インダクタの最大瞬時電流が流れるべく前記スイッチを制御するスイッチングシーケンスを設定することを特徴とする請求項10に記載の電力回収率を改善したプラズマディスプレイパネル駆動装置。

【請求項13】 前記プラズマディスプレイパネル駆動装置に含まれたスイッチング手段はゼロ電圧スイッチングするべく、スイッチングシーケンスを設計することを特徴とする請求項10に記載の電力回収率を改善したプラズマディスプレイパネル駆動装置。

【請求項14】 サステイン区間において前記キャパシタの接点と接地間にかかる電圧は前記電圧源電圧とほとんど同じようにサステイン発光モードに比べてサステイン接地モードのインターバル時間を短くすべくスイッチングシーケンスを設計することを特徴とする請求項12に記載の電力回収率を改善したプラズマディスプレイパネル駆動装置。

【請求項15】 スイッチングシーケンスはリセット区間、アドレス区間及びサステイン区間を反復的に実行し、前記サステイン区間は、

Y電極パネル充電モード、Y電極パネル発光モード、Y電極パネル放電モード、ゼロ電圧保持モード、X電極パネル充電モード、X電極パネル発光モード、X電極パネル放電モード、ゼロ電圧保持モードをサブフィールドの数に応じて反復的に実行し、前記サステイン区間のゼロ電圧モード保持モードとリセット区間過渡期間は前記ゼロ電圧保持モードのインターバル時間の1/2より短く設計することを特徴とする請求項10に記載の電力回収

率を改善したプラズマディスプレイパネル駆動装置。

【請求項16】 前記サステイン区間のゼロ電圧モード保持モードとリセット区間過渡期間の前記インダクタに流れる電流は、

【数3】

$$I_L(t) = V_{cl} \sqrt{\frac{C_1}{L}} \times \sin \frac{t}{\sqrt{LC_1}}$$

になり、前記電流がサステイン区間のインダクタ最大瞬時電流値より小さいか同じになるようキャパシタ値を決定することを特徴とする請求項15に記載の電力回収率を改善したプラズマディスプレイパネル駆動装置。

【請求項17】 前記サステイン区間のゼロ電圧モード保持モードにおいてインダクタ電流が0から最大瞬時インダクタ電流に増加する期間は、

【数4】

$$T = \sqrt{LC_2} \sin^{-1} \left(\frac{C_p}{C_2} \times \sqrt{\frac{L}{C_1}} \right)$$

(ここで、C_pはプラズマディスプレイパネルの容量性負荷値である)に設定することを特徴とする請求項15に記載の電力回収率を改善したプラズマディスプレイパネル駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はプラズマディスプレイパネル駆動装置及び方法に係り、特にプラズマディスプレイパネル発光及び消費電力に寄与するサステイン回路を簡略化させ、電力回収率を向上させるためのプラズマディスプレイパネル駆動装置及び方法に関する。

【0002】

【従来の技術】一般的にプラズマディスプレイパネル(PDP)は気体放電により生成されたプラズマを利用して文字または映像を表示する次世代平板ディスプレイ装置であり、PDPは大きさにより数十から数百万以上のピクセルがマトリックス状に配列されている。

【0003】図1は従来の技術によるPDP駆動回路である。

【0004】従来の技術によれば、PDPの画像具現のためにADS(Address Display Separation)方式に基づいてスイッチング動作が決まる。図1のスイッチY_s、Y_g、X_s、X_gはPDPの発光期間にパネルに高周波の交流方形波電圧を印加するためのサステインスイッチであり、発光期間中(Y_s、X_g)に、(X_s、Y_g)のスイッチ対として交代でオン/オフを反復する。スイッチY_r、Y_f、X_r、X_fは発光期間にパネル電圧及びキャパシタ無効電流の急激な変化を防止して消費電力を抑制するための電力回収回路のスイッチである。LY、LXは電力回収のためのインダクタであり、キャパシタC_{Yerc}、C_{Xerc}、ダイオードD_{Yr}、D_{Xr}、D_{Xf}、

X_f , D_YVsc , D_YGc はウェッバなどにより提案された既存の電力回收回路に必要な要素である。一般的に、サステインスイッチ、電力回収スイッチ、そして受動素子が形成する回路網を「サステイン」回路と言い、ADS方式によれば、サステイン回路はPDPのサステイン区間に作用する。スイッチ Y_p はADS方式にてPDPのサステイン区間と他の区間（アドレス区間とリセット区間）との回路動作分離のためのスイッチであり、 $Cset$, C_Xsink のキャパシタと共に作用して電源電圧より高い高圧電圧をリセット区間に印加する。スイッチ Ysc , Ysp はADS方式にてアドレス区間に作動するスイッチであり、アドレス区間で Ysp はオン、 Ysc はオフ、他の区間（リセット、サステイン区間）で Ysp はオフ、 Ysc はオンされる。アドレス区間にシフトレジスタ及び電圧バッファより構成されたスキャンドライバIC 100がPDPスクリーンの水平同期信号印加のための動作を果たし、他の区間ではショートする。スイッチング順序による既存PDP駆動回路の具体的な動作は米国特許第U.S.4,866,349号公報に開示されている。

【0005】このような従来の技術によるPDP駆動回路において直接的にパネル発光及び消費電力に寄与する既存のサステイン回路はスイッチ素子数及び受動素子の数が多いだけでなく、PDP充放電時に純粋なLC共振作用を利用するので、パネルの寄生抵抗の存在時に常に急激なパネル充放電が生じ、電界効果トランジスタ(MOSFET)スイッチのスイッチング損失が生じる。これにより、回路の電力効率が低下し、電子波障害(EMI)問題が大きくなる問題点があった。特に、キャパシタ無効電流が大きくなり無効電力及び素子ストレスが大きくなつて発光効率が低下する問題点があった。

【0006】

【発明が解決しようとする課題】本発明がなそうとする技術的課題は前述の問題点を解決するためにPDP駆動回路の素子数を減らし、無効電力を減らすための電力回収率を改善したPDP駆動装置及び方法を提供することにある。

【0007】

【課題を解決するための手段】前記技術的課題を達成するために本発明による電力回収率を改善したPDP駆動装置は、電力回收回路及び複数のスイッチング手段を含むPDP駆動装置において、前記電力回收回路は前記PDPの発光期間に電圧源を印加するためのスイッチ、前記電圧源と接地間に直列に連結されたキャパシタC1, C2及び前記キャパシタC1及びC2間の接点と前記スイッチ出力端子に接続されたインダクタLを含み、前記PDP充放電遷移時点に前記PDPに前記インダクタの最大瞬時電流が流れるべく前記スイッチ及び複数のスイ

ッチング手段のオン／オフを制御するスイッチングシーケンスを設定することを特徴とする。

【0008】前記他の技術的課題を達成するために本発明による電力回収率を改善したPDP駆動方法は、インダクタを備える電力回收回路を含み、リセット区間、アドレス区間及びサステイン区間を反復するスイッチングシーケンスを有するPDPの駆動方法において、前記サステイン区間においてパネル充放電遷移時点に前記PDPに前記インダクタの最大瞬時電流が流れるべくスイッチングシーケンスを制御することを特徴とする。

【0009】

【発明の実施の形態】図3に示されたように、本発明の第1実施形態による電力回収率を改善したPDP駆動装置は、電力回収部10、Y電極サステインスイッチング回路20、分離回路30、Y電極ランプ波形発生回路40、スキャンパルス発生回路50、PDP 60(Cp)、X電極サステインスイッチング回路70及びX電極ランプ波形発生回路80を備える。

【0010】電力回収部10はPDPの発光期間に外部電圧源Vsを印加するためのスイッチSa、外部電圧源Vsと接地間に直列に連結されたキャパシタC1, C2及びキャパシタC1及びC2間の接点とスイッチSaの出力端子に接続されたインダクタL、キャパシタC1及びC2にそれぞれ並列にダイオードD1, D2を接続する回路構成よりなる。

【0011】Y電極サステインスイッチング回路20及びX電極サステイン回路70はPDP発光期間にパネルCpに高周波の交流方形波電圧を印加するための複数のスイッチ Y_s , Y_g , X_s , X_g により構成されている。

【0012】分離回路30はADS方式によりPDP 60のサステイン区間と他の区間（アドレス区間とリセット区間）との回路動作分離のためのスイッチである。

【0013】Y電極ランプ波形発生回路40及びX電極ランプ波形発生回路80はリセット区間パネルにランプ型高圧電圧を発生させるための回路である。

【0014】スキャンパルス発生回路50はアドレス区間にシフトレジスタ及び電圧バッファより構成されたスキャンドライバIC 50aがPDPスクリーンの水平同期信号印加のための動作を行い、他の区間ではショートする。

【0015】上の回路に含まれた各種スイッチは一実施形態としてMOSFETより構成する。

【0016】本発明によるPDP駆動方法の核心的な内容は、PDP 60の充放電時に電力回収部10のインダクタL電流を増加させる過渡期を最小化すべく回路構成及びスイッチングシーケンスを設計して無効電力をほとんど0に保持するところにある。このために本発明では、PDP 60の充放電遷移時点にPDP 60にインダクタLの最大瞬時電流が流れるべく設計した。

【0017】PDP 60の駆動スイッチングシーケンスはリセット区間、アドレス区間及びサステイン区間を反復的に実行するのであるが、本発明において提案された電力回収を改善したサステイン区間のスイッチングシーケンスを細部的なモードに分けて説明する。

【0018】1) モード1 (サステイン区間中の充電モード; $V_Y = 0 \rightarrow V_s$, $V_X = 0$, time interval = T_r)

モード1ではスイッチ Y_s , X_g , Y_{sp} はオンになり、他のスイッチはオフになり、スキャンパルス発生回路50のスキャンドライバIC 50aは短絡されている。従って、PDP 60のX電極電圧 V_X は接地状態を保持し、Y電極電圧 V_Y は V_s に遷移される。すなわち、インダクタLに流れていた最大瞬時インダクタ電流 $I_{L,PK}$ によりPDP 60(Cp)はC2-L-Ys-Yp-Ysp-Cp-Xgの経路で充電が始まり、 V_Y 電圧は上昇する。 V_Y 電圧が V_s になればパネルは充電が終わる。この区間にパネル電圧はLの瞬時電流により一定の傾きで徐々に増加し、既存のサステイン回路とは異なり寄生抵抗の存在時にも V_Y 電圧が激しい電圧変動を生じない。タイムインターバル T_r は一般的に300ns-500nsになるべく設計する。

【0019】2) モード2 (サステイン区間中のガス放電モード; $V_Y = V_s$, $V_X = 0$, time interval = T_{sus})

モード2ではパネルのY電極電圧の V_Y 電圧が V_s になり、スイッチSaの内部ボディダイオードがオンされる。この時、スイッチSaをターンオンすれば、スイッチSaはゼロ電圧スイッチング動作をしてスイッチング損失はゼロになる。経路Sa-Ys-Cp-Xgを通じてパネルは発光を保持し、経路C1-L-Saを経てインダクタ電流 I_L は線形的に減少する。インダクタ電流は $+I_{L,PK}$ から $-I_{L,PK}$ になり、スイッチSaがオフさればモード2は終わる。タイムインターバル T_{sus} は一般的に、1.6us-2.0usほどに設計し、すぐにスイッチSaのオン時間になる。

【0020】3) モード3 (サステイン区間中の放電区間; $V_Y = V_s \rightarrow 0$, $V_X = 0$, time interval = T_f)

モード3ではスイッチSaがターンオフされ、インダクタLに流れる瞬時最大電力 $-I_{L,PK}$ によりパネルはXg-Cp-Ysp-Yp-Ys-L-C2の経路を経て放電が始まり、 V_Y 電圧は降下する。 V_Y 電圧がゼロになればパネル放電は終わる。この区間にパネル電圧はインダクタLの瞬時電流により一定の傾きで徐々に減少し、寄生電圧の存在時にも V_Y 電圧は激しく変化しない。 T_f は一般的に、300ns-500nsになるようにし、一般的に T_f と同じである。

【0021】4) モード4 (サステイン区間中の接地モ

ード; $V_Y = 0$, $V_X = 0$, time interval = T_{gnd})

モード4では V_Y が0になり、スイッチ Y_g とスイッチ X_a の内部ボディダイオードがオンする。この区間ににおいてスイッチ Y_g と X_a をターンオンすれば、 Y_g と X_a はゼロ電圧スイッチング動作を行い、スイッチング損失はゼロになる。経路 $X_g - C_p - Y_g$ を通じてパネルはゼロ電圧状態を保持し、経路 $C_2 - L - Y_s$, Y_g , X_s , X_g を経てインダクタ電流 I_L は線形的に増加し、 $-I_{L,PK}$ から $+I_{L,PK}$ になる。スイッチ Y_s と X_g がターンオフされればこのモードは終わる。 T_{gnd} は一般的に、300ns-500nsにする。

【0022】5) モード5 (サステイン区間中の充電モード; $V_Y = 0$, $V_X = 0 \rightarrow V_s$, time interval = T_r)

モード5ではスイッチ X_s , Y_g , Y_{sp} はオンになり、他のスイッチはオフされる。スキャンドライバIC 50aは短絡されている。インダクタLに流れていた最大瞬時インダクタ電流 $I_{L,PK}$ によりパネルCpはC2-L-Xs-Cp-Ysp-Yp-Ygの経路で充電が始まり、 V_X 電圧は上昇する。 V_X 電圧が V_s になれば、パネル充電は終わる。

【0023】6) モード6 (サステイン区間中のガス放電モード; $V_Y = 0$, $V_X = V_s$, time interval = T_{sus})

この区間ではパネルのX電極電圧の V_X 電圧が V_s になり、スイッチSaの内部ボディダイオードがオンされる。この時、スイッチSaをターンオンすれば、スイッチSaはゼロ電圧スイッチング動作を行ってスイッチング損失はゼロになる。経路 $Sa - X_s - C_p - Y_g$ を通じてパネルは発光を保持し、経路 $C_1 - L - Sa$ を経てインダクタ電流 I_L は線形的に減少する。インダクタ電流は $+I_{L,PK}$ から $-I_{L,PK}$ になり、スイッチSaがオフされればモード6は終わる。

【0024】7) モード7 (サステイン区間中の放電モード; $V_Y = 0$, $V_X = V_s \rightarrow 0$, time interval = T_f)

この区間ではスイッチSaがターンオフされ、インダクタLに流れる瞬時最大電力 $-I_{L,PK}$ によりパネルは $Y_g - C_p - Y_{sp} - Y_p - Y_s - L - C_2$ の経路で放電が始まり、 V_X 電圧は降下する。 V_X 電圧がゼロになればパネル放電は終わる。

【0025】8) モード8-a (サステイン区間中のGNDモード; $V_Y = 0$, $V_X = 0$, time interval = T_{gnd})

この区間では V_Y が0になり、スイッチ Y_g とスイッチ X_a の内部ボディダイオードがオンする。この区間ににおいてスイッチ Y_g と X_a をターンオンすれば、 Y_g と X_a はゼロ電圧スイッチング動作を行い、スイッチ

ング損失はゼロになる。経路Xg-Cp-Ygを通じてパネルはゼロ電圧状態を保持し、経路C2-L-Ys, Yg, Xs, Xgを経てインダクタ電流 I_L は線形的に増加し、 $-I_{L,PK}$ から $+I_{L,PK}$ になる。

【0026】さて、サステイン区間において無効電力を解説すれば次の通りである。

【0027】サステイン区間において、C1とC2との両端にかかる電圧 $Vc1$, $Vc2$ はそれぞれ式(1)及び式(2)の通りである。

【0028】

【数5】

$$Vc1 = \frac{Tgnd}{Tsus + Tgnd} \times Vs \quad (1)$$

【0029】

【数6】

$$Vc2 = \frac{Tsus}{Tsus + Tgnd} \times Vs \quad (2)$$

なお、インダクタの最大瞬時電流 $I_{L,PK}$ は式(3)の通りである。

【0030】

【数7】

$$I_{L,PK} = \frac{C_p V_s}{T_s} \quad (3)$$

一般的に、PDPにおいて $Tsus$ が $Tgnd$ よりもかなり大きいので、 $Vc2$ はほとんどVsに近く、 $Vc1$ はほとんど0になる。この事実はサステインではない区間で、過渡期時にインダクタの漏れ電流が非常に小さくなるということを意味する。また、既存回路のインダクタ最大瞬時電流 I_{Lpk} *値に比べれば

【0031】

【数8】

$$(I_{Lrx} = \frac{\pi}{2} \frac{C_p V_s}{T_s})$$

本発明による回路でのインダクタ電流大きさが常に既存回路に比べて小さくなり、従って無効電力が減少する。

【0032】PDPが直接発光に寄与するサステイン区間ではモード1からモード8-aまでの動作を反復してパネルの高周波電圧パルスを生じる。パルス数はADS法のサブフィールド(SF)により2つから128個まで変わりうる。サステイン区間が終り、リセットが始まると過渡期にはモード8-aの代わりに次に説明するモード8-bになる。

【0033】9) モード8-b (サステイン-リセット区間遷移モード; パネルゼロ電圧保持; $V_Y=0$, $V_X=0$, time interval=Tgnd_SR)

この区間では V_Y が0になり、スイッチYgとスイッチXaの内部ボディダイオードがオンされる。この区間にスイッチYgはターンオンされ、Ysはターンオフ

されます。この時、スイッチYgのターンオン、Ysのターンオフは同時に起こり、モード8-aのTgnd区間の半分より短い瞬間に起こらせる。インダクタ電流 I_L は $-I_{L,PK}$ から0になり、この時までの時間はおよそ $Tgnd/2$ となる。この後で I_L は0になり、パネルは0電圧を保持する。

【0034】10) モード9 (サステイン-リセット区間遷移モード; パネルゼロ電圧保持; $V_Y=0$, $V_X=0$, time interval=T9)

この区間ではスイッチSaはターンオンされ、Xgはターンオフされる。この区間にリセット区間、アドレス区間にスイッチSaはオンされる。この区間においてパネル電圧は変更がなく0になり、 I_L と $Vc1$ とは式(4), (5)のようにそれぞれ増加、減少する。

【0035】

【数9】

$$I_L(t) = Vc1 \sqrt{\frac{C_1}{L}} \times \sin \frac{t}{\sqrt{LC_1}} \quad (4)$$

【0036】

【数10】

$$Vc1(t) = Vc1 \sin \frac{t}{\sqrt{LC_1}} \quad (5)$$

X_RAMPがオンすればモード9は終わる。

【0037】11) モード10 (サステイン-リセット区間遷移モード; パネル電圧徐々に上昇; $V_Y=0$, $V_X=0 \rightarrow$ 増加, time interval=T10)

この区間は厳密に言えばPDPのリセット区間であり、スイッチX_rampがオンしてX極電圧が徐々に上昇する。ただし、インダクタ電流 I_L と $Vc1$ とがモード9のようになって I_L が最大値に達すれば($Vc1$ が0になれば)、モード10は終わる。T9とT10とは式(6)のように示される。

【0038】

【数11】

$$T_s + T_n = \frac{\pi}{2} \sqrt{LC_1} \quad (6)$$

本発明による回路において、C1及びC2のキャパシタ値は I_L の最大値がサステイン区間のインダクタ最大瞬時値より小さいか同じように設計する。

【0039】12) モード11 (サステイン-リセット区間遷移モード; I_L 減少)

$Vc1$ が0になれば、ダイオードD1がオンし、 I_L は減少する。 I_L が0になればモード11が終わる。この後、 $Vc1$ は0になり、 $Vc2$ はVsとなる。

【0040】この後、リセット区間とアドレス区間との説明は従来技術によるADS駆動法と同一なので省略する。同じ区間はサステイン区間の最初のパルス($V_Y=Vs$, $V_X=0$)まで続き、このパルスが終わる時

から詳細な動作説明をすれば次の通りである。

【0041】13) モード12(サステイン区間: パネルゼロ電圧: $I_L : 0 \rightarrow I_{L_{PK}}$ 増加) サステインの最初のパルスが終われば、スイッチS_aをターンオフし、スイッチY_sとY_gとをターンオンする。経路C2-L-Y_s-Y_gを経て I_L と V_{c2} とは式(7), (8)の通りである。

【0042】

【数12】

$$i_L(t) = V_s \sqrt{\frac{C_2}{L}} \sin \frac{t}{\sqrt{LC_2}} \quad (7)$$

【0043】

【数13】

$$V_{out} = V_s \cos \frac{t}{\sqrt{LC_2}} \quad (8)$$

$I_L(t)$ Tが $I_{L_{PK}}$ になる瞬間、スイッチY_gを

ターンオフすればモード12が終わり、モード1動作を反復する。この時に必要なモード12の期間T12は式(9)のようである。

【0044】

【数14】

$$T_{12} = \sqrt{LC_2} \sin^{-1} \left(\frac{C_p}{T_1} \sqrt{\frac{L}{C_2}} \right) \quad (9)$$

実際に、PDP駆動時モード12の期間T12が上式を満足すべくタイミングを付与すれば、理想的にサステイン区間にモードスイッチのゼロ電圧スイッチングを保証してスイッチング損失が0になり、EMIが減少する。

【0045】本発明と従来技術とによる42インチPDP駆動装置での無効電力及び各種パラメータの比較を表1に示す。

【0046】

【表1】

表1

| | 本発明の回路を適用 | 従来技術の回路を適用 |
|--------------------------------------|-------------------------|---------------------------|
| Vc1, Vc2 | Vc1=18V, Vc2=162V | X |
| β, γ | $\beta=0.9, \gamma=1.0$ | X |
| インダクタンスL _c (mH) | *0.98 | 0.14 (=L _{ext}) |
| 特定インピーダンスZ _a | 3.892 | 1.446 |
| ピーク無効電流I _{Lmax} | 31.2 | 62.5 |
| ピークリアクティブ電流P _r (W) | 33.69 | 90.97 |
| サステインスイッチのスイッチング損失P _s (W) | X | 151.26 |
| 補助スイッチのスイッチング損失P _{aux} (W) | X | 4.98 |

図5は本発明の第2実施形態による電力回収率を改善したPDP駆動装置の構成図であり、共通電極ドライブボード200とスキャン電極ドライブボード100となることを特徴とする。

【0047】共通電極ドライブボード200にはX電極サステインスイッチX_s, X_g, X電極ランプ波形発生回路X_{rr}, D_s, R_s及びランプ信号発生回路及び電力回収部L, S_a, C₁, C₂が内蔵され、スキャン電極ドライブボード100にはY電極サステインスイッチY_s, Y_g, Y電極ランプ波形発生回路Y_{fr}, Y_{rr}, C_{set}, D_{set}, R_{set}及びランプ信号発生回路、分離回路Y_p及びスキャンパルス発生回路100a, Y_{sc}, Y_{sp}, D_{Ysink}, R_{sc}, D_{sc}, C_{Ysink}が内蔵される。

【0048】そして、共通電極ドライブボード200とスキャン電極ドライブボード100とはPDP300のX電極端子及びY電極端子にそれぞれ連結されており、またPDP300のアドレス端子にはアドレスドライブIC400が連結されている。

【0049】PDP駆動動作及びスイッチングシーケンスは図3に示された回路構成による説明と同一なので細

部的な動作説明は省略する。

【0050】ただし、電力回收回路を図3の実施形態ではY電極ドライブ回路ブロックに配したが、図5の他の実施形態ではX電極ドライブ回路ブロックに設けたという点で異なり、他の構成及び動作においては同一である。

【0051】すなわち、図5の実施形態でも図3ですでに説明したような方法でPDP300充放電時に電力回収部L, S_a, C₁, C₂のインダクタL電流を増加させる過渡期を最小化するように回路構成及びスイッチングシーケンスを設計して無効電力をほとんど0に保持する。このために、本発明ではPDP300の充放電遷移時点にPDP300にインダクタLの最大瞬時電流が流れるべく設計した。

【0052】

【発明の効果】前述のように、本発明によればPDP充放電時に電力回收回路のインダクタ電流を増加させる過渡期を最小化するように回路構成及びスイッチングシーケンスを設計することにより、無効電力の回収率を向上させられる効果が生じ、スイッチング損失が0になるようにしてEMIを減らせる効果が生じ、それのみでな

く従来のPDP駆動回路に比べて回路素子数を減らせる効果が生じる。

【0053】本発明は方法、装置、システムとして実行できる。ソフトウェアで実行される時、本発明の構成手段は必然的に必要な作業を実行するコードセグメントである。プログラムまたはコードセグメントはプロセッサ判読可能媒体に貯蔵可能であり、または伝送媒体または通信網にて搬送波と結びついたコンピュータデータ信号により伝送されうる。プロセッサ判読可能媒体は情報を貯蔵または伝送できるいかなる媒体をも含む。プロセッサ判読可能媒体の例としては、電子回路、半導体メモリ素子、ROM、フラッシュメモリ、E² PROM、フロッピー（登録商標）ディスク、光ディスク、ハードディスク、光ファイバ媒体、無線周波数（RF）網などがある。コンピュータデータ信号は電子網チャンネル、光ファイバ、空気、電子系、RF網などのような伝送上で伝播できるいかなる信号も含まれる。

【0054】添付された図に示されて説明された特定の実施形態は、単に本発明の例と理解され、本発明の範囲を限定するものではなく、本発明が属する技術分野で本発明に記述された技術的思想の範囲でも多様な他の変更ができるので、本発明は示された特定の構成及び配列に

制限されることは自明である。

【図面の簡単な説明】

【図1】従来の技術によるPDP駆動装置の構成図である。

【図2】図1のPDP駆動装置に適用される駆動波形図である。

【図3】本発明の第1実施形態による電力回収率を改善したPDP駆動装置の構成図である

【図4】本発明に適用されるPDP駆動スイッチングシーケンスの主要波形図である

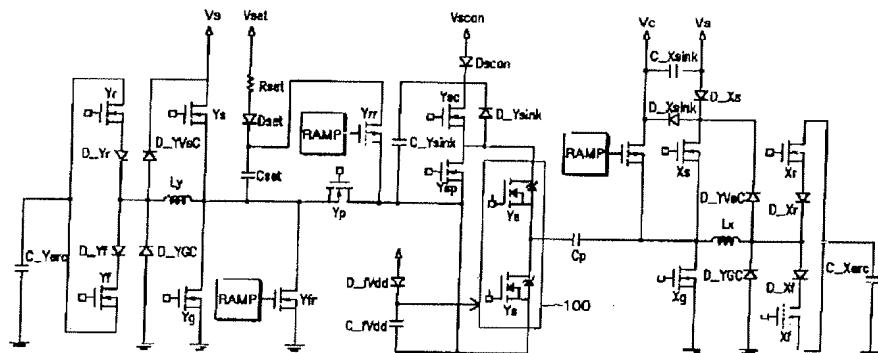
【図5】本発明の第2実施形態による電力回収率を改善したPDP駆動装置の構成図である。

【符号の説明】

| | |
|-------|------------------|
| 1 0 | 電力回収部 |
| 2 0 | Y電極サステインスイッチング回路 |
| 3 0 | 分離回路 |
| 4 0 | Y電極ランプ波形発生回路 |
| 5 0 | スキャンパルス発生回路 |
| 5 0 a | スキャンドライバI C |
| 6 0 | PDP |
| 7 0 | X電極サステインスイッチング回路 |
| 8 0 | X電極ランプ波形発生回路 |

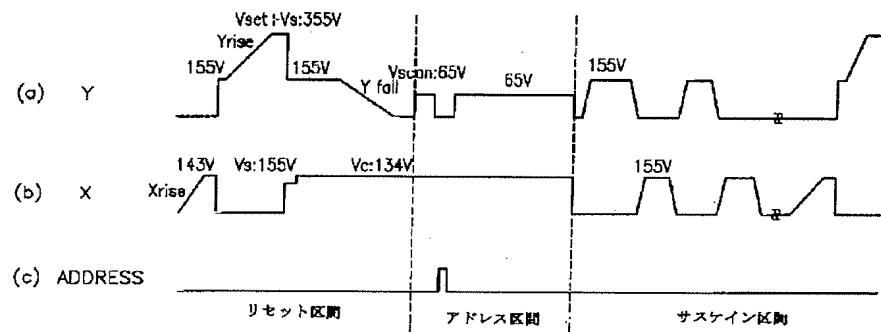
【図1】

(従来の技術)

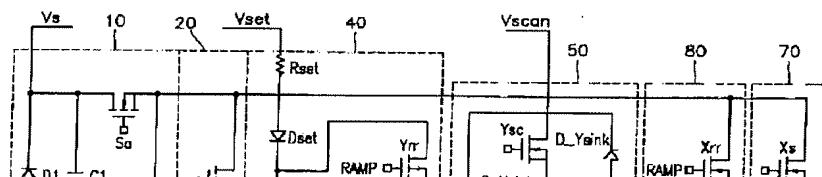


【図2】

(従来の技術)



【図3】



ERROR: timeout
OFFENDING COMMAND: timeout